

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041393

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

H01L 21/82
G06F 17/50

(21)Application number : 08-192358

(71)Applicant : SONY CORP

(22)Date of filing : 22.07.1996

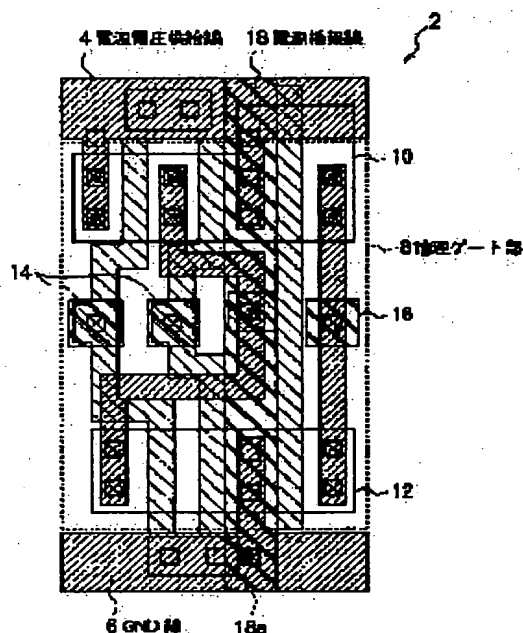
(72)Inventor : KONUMA KOICHI

(54) SEMICONDUCTOR STANDARD CELL AND METHOD FOR LAYOUT AND WIRING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor standard cell which has an excellent noise-proof property and also provide a method for arranging and wiring the cells by which all the power lines can be connected to each other inside the cells just by locating the cells.

SOLUTION: This semiconductor standard cell 2 has a logic gate section 8, power lines 4 which are connected to each other between the cells which are adjacent in the wiring direction and which supply supply voltage to the logic gate section 8, and power supply bridge lines 18 which are constituted of interconnect layers of different level from the power lines and which are connected to the power lines at right angles with them inside the cell. In this layout and wiring method, a plurality of the semiconductor standard cells 2 are located adjacently to each other in the direction at right angles with the wiring direction of the power lines 4. In a logic IC wherein such cells 2 are located suitably, no peripheral space is necessary for connecting the power lines to each other which has been necessary in conventional methods and the device does not malfunction even if where is a fluctuation in voltage level due to noise which is caused by applying the supply voltage evenly.



LEGAL STATUS

[Date of request for examination]

22.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41393

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

H 0 1 L 21/82

B

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 K

6 5 8 H

H 0 1 L 21/82

W

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平8-192358

(22) 出願日 平成8年(1996) 7月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 小沼 弘一

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

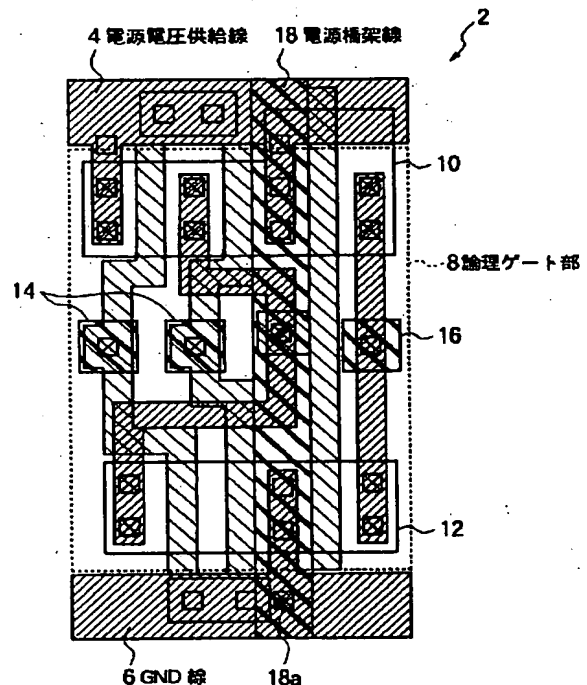
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体スタンダードセル及びその配置配線方法

(57) 【要約】

【課題】セルを配置するだけで全ての電源線が内部で相互接続でき、耐ノイズ性に優れた半導体スタンダードセルおよびその配置配線方法を提供する。

【解決手段】本半導体スタンダードセル2は、論理ゲート部8と、配線方向に隣接するセル間で相互に接続され論理ゲート部8に電源電圧を供給する電源線4と、これと異なる階層の配線層を用いて構成されセル内で電源線4に接続され直交して配線されていることによって、この直交方向に隣接するセル間で相互に接続される電源橋絡線18とを有する。本配置配線方法では、この半導体スタンダードセル2を、その電源線4の配線方向と直交する方向に複数個隣接させて配置する。これにより、このセル2を適宜配した論理ICでは、従来のような電源線を相互接続するための周辺スペースを不要とし、また、均一に電源電圧が印加されることからノイズによる電圧レベル変動等があっても誤動作することがない。



【特許請求の範囲】

【請求項1】 論理ゲート部と、

配線方向に隣接するセル間で相互に接続され、論理ゲート部に電源電圧を供給する電源線と、電源線と異なる階層の配線層を用いて構成され、セル内で電源線に接続され、かつ、電源線に直交して配線されていることによって、電源線と直交する方向に隣接するセル間で相互に接続される電源橋絡線と、を有する半導体スタンダードセル。

【請求項2】 前記電源線は、前記論理ゲート部を挟んで互いに平行に配線された第1の電源線と第2の電源線とから構成され、

前記電源橋絡線は、第1の電源線と第2の電源線との何れかに接続され、論理ゲート部内を電源線と直交する方向に配線されている請求項1に記載の半導体スタンダードセル。

【請求項3】 前記電源線は、前記論理ゲート部を挟んで互いに平行に配線された第1の電源線と第2の電源線とから構成され、

前記電源橋絡線は、第1の電源線と第2の電源線との何れかに接続され、当該電源線との接続箇所からセル外側に向かって配線されている請求項1に記載の半導体スタンダードセル。

【請求項4】 スタンダードセルを縦横に複数個並べて、各セル間の相互配線を行なう半導体スタンダードセルの配置配線方法であって、論理ゲート部と、配線方向に隣接するセル間で相互に接続され、論理ゲート部に電源電圧を供給する電源線と、電源線と異なる階層の配線層を用いて構成され、セル内で電源線に接続され、かつ、電源線に直交して配線されていることによって、電源線と直交する方向に隣接するセル間で相互に接続される電源橋絡線と、を有するスタンダードセルを、その電源線の配線方向と直交する方向に複数個隣接させて配置し、配線方向に接続された電源線の列をセル配置領域内で相互に接続する半導体スタンダードセルの配置配線方法。

【請求項5】 前記電源線は、前記論理ゲート部を挟んで互いに平行に配線された第1の電源線と第2の電源線とから構成され、

前記電源橋絡線は、第1の電源線と第2の電源線との何れかに接続され、論理ゲート部内を電源線と直交する方向に配線されている請求項4に記載の半導体スタンダードセルの配置配線方法。

【請求項6】 前記電源線は、前記論理ゲート部を挟んで互いに平行に配線された第1の電源線と第2の電源線とから構成され、

前記電源橋絡線は、第1の電源線と第2の電源線との何れかに接続され、当該電源線との接続箇所からセル外側に向かって配線されている請求項4に記載の半導体スタンダードセルの配置配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体スタンダードセル及びその配置配線方法に係わり、特に、セル配置領域内で全ての電源線を相互接続できるスタンダードセル構造と、そのレイアウト方法に関する。

【0002】

【従来の技術】LSI設計方式の一つとしてのスタンダードセル方式は、ゲートアレイ方式に比較して、配線やゲートを有効に利用しセルサイズを小さくでき、高性能も得られやすいといった利点を有する。このセル方式は、制御回路など、種類の異なるセルが回路構成に応じて不規則に配置される論理回路について以前から使用されてきたが、最近では、上記利点が注目されて演算器といった規則正しいセル配置の論理回路にも、このスタンダードセル方式が多用されるようになってきた。

【0003】図8は、この規則正しくセルを配置させた従来のスタンダードセル方式の論理回路について、電源線の接続関係を示すブロックレイアウト図である。この図8に示す従来の論理回路では、同じ構成のセル列が繰り返し配列されている。すなわち、この例では、横方向にA、B、C、D、E、A、E、F、B、Aの順にセルが配置されてセル列が構成され、同じ構成のセル列が、ここでは3段設けてある。

【0004】ここで、セル中の記号A～Fは、例えばANDゲート、インバータ、ラッチ、フリップ・フロップ等の論理ゲートの種類を示す。各セルは、例えばCMOSで構成されている。図9には、従来のスタンダードセルの構成例として、ANDゲートのセル・パターン図を示す。セル40の上下には電源電圧供給線42、GND線44（以下、まとめて「電源線」と称する）がそれぞれ第1層目メタルで配線されている。この電源線42、44の配線方向は、他の種類の論理ゲート（インバータ、ラッチ、フリップ・フロップ等）においても同様である。

【0005】電源電圧供給線42とGND線44との間の領域には、複数のトランジスタが配置され、これらが第1層目メタルや第2層目メタルで相互に結線されて、所望の論理ゲート（ここでは、ANDゲート）が構成されている。通常、電源供給線42に近い側にpチャネル型トランジスタが配置され、GND線44に近い側にnチャネル型トランジスタが配置される。そして、セル間の信号線を接続するための入力端子46および出力端子48が、例えば2層目メタルを用いてセルの中心部付近に配置されている。

【0006】図8、9に示すように、従来のスタンダードセル40では、電源線42、44が一方方向にのみ配線され、その方向に配置されたセル間で電源線42、44が直列に接続される。そして、この図示例のようにセル列が3本ある場合は、この直列に接続された電源線4

2, 44を、セル配置領域の外側で、例えば2層目メタル層50を用いて縦方向に相互に接続させている。

【0007】

【発明が解決しようとする課題】しかし、この従来のスタンダードセル40を使用してブロックレイアウトを行った場合、セル配置領域の外側に電源線42, 44を相互に接続させるための領域を必要とし、この領域が高集積化の面からは無駄な領域として存在していた。また、ブロックレイアウトの規模が大きくなりセル列が長くなると、それだけ電源線42, 44を相互に接続させた両端側のセルと中心部分のセルとでは、電源電圧やGND電位のかかり方が不均一となり、これが論理回路全体の耐ノイズ性を悪くする場合があった。したがって、この従来のスタンダードセル40を使用する場合には、トランジスタサイズを大きくする等により個々のスタンダードセルの動作マージンを確保する必要があり、この点でも高集積化が阻害されていた。

【0008】本発明は、このような実情に鑑みてなされ、スタンダードセルを配置するだけで全ての電源線が相互接続でき、電源線の相互接続のための周辺領域を不要とし、しかも耐ノイズ性に優れた構造の半導体スタンダードセルおよびその配置配線方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上述した従来技術の問題点を解消し、上記目的を達成するために、本発明の半導体スタンダードセルおよびその配置配線方法では、電源線の配線方向だけでなく、これと直交する方向に行なう電源線の相互接続を、電源線と異なる階層の配線層を用いてセル配置領域内部で行なうこととした。

【0010】すなわち、本発明の半導体スタンダードセルは、論理ゲート部と、配線方向に隣接するセル間で相互に接続され、論理ゲート部に電源電圧を供給する電源線と、電源線と異なる階層の配線層を用いて構成され、セル内で電源線に接続され、かつ、電源線に直交して配線されていることによって、電源線と直交する方向に隣接するセル間で相互に接続される電源橋絡線と、を有することを特徴とする。

【0011】また、本発明の半導体スタンダードセルの配置配線方法では、上記構成の半導体スタンダードセルを、その電源線の配線方向と直交する方向に複数個隣接させて配置し、配線方向に接続された電源線の列をセル配置領域内で相互に接続することを特徴とする。

【0012】同じ構成のセル列が複数段繰り返される場合、好適なセル構成としては、電源線に接続される電源橋絡線を、論理ゲート部内で電源線と直交する方向に配線させるとよい。この場合、セル列と直交する方向には同じセルが並ぶことから、この電源橋絡線を有した半導体スタンダードセルを貫いて電源橋絡線が直列に接続され、これにより、セル列内で直列接続された電源線の列

がセル列と直交する方向にも相互に接続される。

【0013】また、セルが不規則に配置される場合においても、電源橋絡線が電源線との接続箇所からセル外側に向かって配線されている半導体スタンダードセルを用いることにより、電源線の配線方向と直交して隣接する2セル間で電源線を互いに接続できる。そして、このような2セル間での電源線接続を段違いに設けたり、上記した電源橋絡線が論理ゲート部を貫いたセルと組み合わせることにより、セル配置領域全体として電源線が全て接続されるようにすることが可能である。

【0014】

【発明の実施の形態】以下、本発明の半導体スタンダードセル及びその配置配線方法について、図面を参照しながら詳細に説明する。本発明は、スタンダードセル方式で論理回路の設計が行なわれる半導体装置に適用される。ここで、「スタンダードセル方式」とは、物理レイアウト情報に基づいて、ブロックサイズの種類、電源線や信号線の端子引出し位置等がルール化された論理的な回路機能ブロックを複数種類、ライブラリとして予め用意しておき、この回路機能ブロックをネットリスト（接続情報）に基づいて配置し相互接続させて、所望の論理回路を構築する半導体回路の設計方式をいう。また、「スタンダードセル」とは、スタンダードセル方式の回路設計に用いられる各回路機能ブロックをいう。

【0015】一般に、スタンダードセル方式には、回路機能ブロックが同一面状に配置され、同じ階層の配線層を用いて全回路機能ブロックの電源線が構成できるポリセル方式と、回路機能ブロックが階層状に重なり、この結果、同じ種類の回路機能ブロックでも異なる階層の配線層を用いて電源線が構成され得るビルディングブロック方式とがある。本発明の半導体スタンダードセル及びその配置配線方法は、上記ポリセル方式、ビルディングブロック方式の何れについても適用できる。

【0016】以下、具体的な本発明の実施形態について、ポリセル方式を例に説明する。

第1実施形態

図1は、本発明の半導体スタンダードセルの一構成例を示すANDゲートのセル・パターン図である。この半導体スタンダードセル2は、そのセル内の上下には横方向に電源電圧供給線4、GND線6（以下、まとめて「電源線」ともいう）がそれぞれ第1層目メタルで配線されている。この電源線4, 6の配線方向は、他の種類の回路機能（インバータ、ラッチ、フリップ・フロップ等）を有する半導体スタンダードセルと同様、物理レイアウト情報に基づいて一方向に決められ、その配線幅や端子引出し位置がルール化されている。

【0017】電源電圧供給線4とGND線6との間の領域を、本発明では論理ゲート部と称し、この論理ゲート部8には、複数のトランジスタが配置され、これらが第1層目メタルや第2層目メタルで相互に結線されて、所

望の論理ゲート（ここでは、ANDゲート）が構成されている。

【0018】すなわち、論理ゲート部8内の電源供給線4に近い側には、n型不純物が導入されるp型トランジスタ領域10が配置され、逆にGND線6に近い側には、p型不純物が導入されるn型トランジスタ領域12が配置されている。そして、p型トランジスタ領域10上には、第1層目メタルが延びてソース又はドレイン電極が構成され、その間隔内にゲートメタルを配して、これにより複数のpチャネル型トランジスタが配置されている。同様にして、n型トランジスタ領域12にも、複数のnチャネル型トランジスタが配置されている。そして、電源線4、6の間隔中央付近には、当該ANDゲートの2つの入力端子14と出力端子16とが、横方向に並んで配置されている。この図では、これら入出力端子14、16は、2層目メタルを用いて構成されている。

【0019】ここまでは、図9に示す従来型のスタンダードセルと同じ構成であるが、本発明のスタンダードセル2には、何れかの電源線（図1では、GND線6）にコンタクト18aを介して接続され、電源線4、6の配線方向と直交する方向に配線された電源橋架線18が、新たに設けられている。この電源橋架線18は、電源線4、6とは異なる階層の配線層（例えば、2層目メタル）で構成され、本実施形態では、論理ゲート部8上を縦方向に貫いて配線されている。図2には、この電源橋架線18と、電源線4、6との接続関係を図1から抜き出して示している。

【0020】本発明では、電源橋架線18の配線形態には、種々の変形が考えられる。すなわち、図3に示すように、電源橋架線18を電源電圧供給線4にコンタクト18bを介して接続させてもよいし、図4に示すように、電源電圧供給線4とGND線6にそれぞれ接続する電源橋架線18を、2本設けてもよい。また、図5に示すように、入出力端子12、14の配置に邪魔にならない程度に、電源橋架線18を幅広に形成してもよい。さらに、特に図示しないが、電源橋架線18を更に上層側の配線層（例えば、第3層目メタル）を用いて構成することもでき、この場合、これを入出力端子14、16に重ねて配線しても構わない。

【0021】つぎに、このような構成の半導体スタンダードセルを用いて行なう本発明の配置配線方法について、説明する。図6は、本実施形態に係わるスタンダードセル方式の論理回路について、特に電源線の接続関係を示すブロックレイアウト図である。本配置配線方法では、一方方向（図の横方向）に回路機能の種類が異なるセルを所定パターンで配置してセル列を構成し、このセル列を複数段（この図では、3段）配列させて論理回路全体が構成されている。図中、A～Fの記号は、セルの回路機能が相違することを意味する。このような規則正しいセル配置の具体例としては、例えばCPU内の演算

器を構成するデータバスブロックなどを挙げることができ、この場合、各ビットが各セル列に割り当てられる。このセル列の方向は、図1における電源線4、6の配線方向と一致し、各セル列を構成した時点で、セル列内で電源線4、6それぞれが直列に接続される。

【0022】本発明の配置配線方法では、各セル列内に上述した本発明の半導体スタンダードセルを適宜配置し、これにより各セル列間の電源線4、6の相互配線が、セル配置領域内で達成されている。すなわち、この図示例では、先に説明した図2と同形態のスタンダードセル2と、図3と同形態のスタンダードセル20と、図4と同形態のスタンダードセル22とが、セル列途中に挿入されている。このため、3本の電源電圧供給線4は、スタンダードセル20、22を介して相互に接続され、3本のGND線6は、スタンダードセル2、22を介して相互に接続されている。

【0023】以上から明らかなように、規則正しいセル配置の論理回路を設計するに際しては、電源橋架線18を具備する本発明の半導体スタンダードセル2、20、22、24をライブラリとして予め用意しておき、この電源相互接続用のセル2、20、22、24を、セル列内のどの位置に配置させかを決め、後は通常どおりセルの配置を行なうだけで、セル配置領域内で電源線4、6の相互結線を実現することができる。

【0024】本発明の半導体スタンダードセル及びその配置配線方法によれば、図8に示す従来のスタンダードセルを用いた場合のように電源線4、6の相互結線のためのスペースをセル配置領域の周囲に特別に確保する必要がなく、その分だけ高集積化を図ることができる。

【0025】また、セル列の途中で電源線4、6の相互結線を行なうことができることから、電源電圧の給電点やGNDの接続点をセル列の途中に適宜設けることができ、これにより耐ノイズ設計が容易となる。すなわち、例えば図6の本実施形態は、電源電圧を供給したりGNDを共通化する縦方向のラインがそれぞれ2本ずつ設けられているという点では、図8と同様であるが、これが図6の本実施形態ではセル配置領域内に設けられていることによって、図8に比較して、各セルに対し電源電圧（GND電位を含む）のかかり方が均一であり、その分、ノイズによって電源電圧レベルが変動するようなことがあっても、このレベル変動により論理回路の動作に対する影響が低減されている。各セル列の配置パターンによっては、セル列間の電源橋架線18を可能な限り数多く配置できるため、更に優れた耐ノイズ性を達成することも可能であり、耐ノイズ性設計の自由度が大きい。

【0026】以上のことは、各セルの設計時にノイズマージンを小さくしても問題ないことを意味し、従って、ノイズマージンを考慮してトランジスタサイズを大きくするといった対策も必要ないことから、この点でも高集積化に寄与できる。

【0027】第2実施形態

上記した第1実施形態では、本発明を規則正しいセル配置の論理回路設計に適用し、この結果、図6に示す論理回路全体では、セル列間の電源橋架線18が単一ライン状に形成された。これに対し、本第2実施形態は、セル配置が不規則な場合でも本発明が適用できることを示すものである。

【0028】図7は、本第2実施形態に係わるブロックレイアウト図である。このレイアウト例においても、論理ゲートC、Eについては、電源橋架線18の配置スペース確保容易等の理由により、第1実施形態と同様に、これを論理ゲート部8を貫いた電源橋架線18を具備する半導体スタンダードセル2、20、22で実現している。

【0029】とくに、この第2実施形態に係わるレイアウト例では、第1実施形態と異なり、電源橋架線18がコンタクトから外側にのみ配線された半導体スタンダードセル30、32を更に有し、これと半導体スタンダードセル2、20との組み合わせで電源線4、6の相互接続が達成されている。すなわち、半導体スタンダードセル30では、GND線6にコンタクトを介して接続された電源橋架線18が、セル外側（図の下方側）にのみ配線されている。加えて、半導体スタンダードセル32では、電源供給線4側にもコンタクトを介して電源橋架線18が接続され、これがセル外側（図の上方側）に配線されている。そして、これらセル外側にのみ配線された電源橋架線18は、隣接する半導体スタンダードセル2又は20の電源橋架線18に接続されている。そして、この2つのセル間にまたがる電源橋架線18が、段違いに設けられていることにより、各3本の電源線4、6それぞれが、相互に接続されている。

【0030】このように、セル配置が不規則な場合でも、本発明によって電源線4、6のセル配置領域内での相互接続が達成され、上述した第1実施形態と同様な効果が得られる。なお、このような電源線4、6の相互接続は、相互接続を行なう部分でセルサイズが揃っていればよく、他の部分は図示のように各段でセルサイズが揃っている必要は、必ずしもない。

【0031】

【発明の効果】以上説明してきたように、本発明の半導体スタンダードセル及びその配置配線方法によれば、このセルが電源線と直交する方向に配線された電源橋架線を具備することから、これを論理回路設計時に適宜、配

置するだけで電源線をセル配置領域内で相互接続することができ、論理回路の配置配線が容易である。しかも、従来のようなセル列間の電源線の相互結線スペースをセル配置領域の周囲に設ける必要がなく、レイアウト密度を高めることができる。

【0032】さらに、このセル配置領域内におけるセル列間の電源線の相互接続を、セル配置パターンに応じて可能な限り数多く行え、この接続点が多いほど電流を分流する効果があることから、各セルへの電源電圧（GND電位を含む）のかかり方を均一化できて耐ノイズ性に優れた論理回路設計が可能となる。また、この高耐ノイズ性を考慮した設計の自由度も高い。

【0033】以上より、高集積化及び低電圧化の進展が著しい半導体ロジックICの分野において、高密度、高耐ノイズ性に優れた構造の半導体スタンダードセル及びその配置配線方法を、本発明により提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体スタンダードセルの一構成例を示すANDゲートのセル・パターン図である。

【図2】図1から電源線および電源橋架線を抜き出して示すパターン図である。

【図3】図2に対する第1の変形例である。

【図4】図2に対する第2の変形例である。

【図5】図2に対する第3の変形例である。

【図6】本発明の第1実施形態に係わるブロックレイアウト図である。

【図7】本発明の第2実施形態に係わるブロックレイアウト図である。

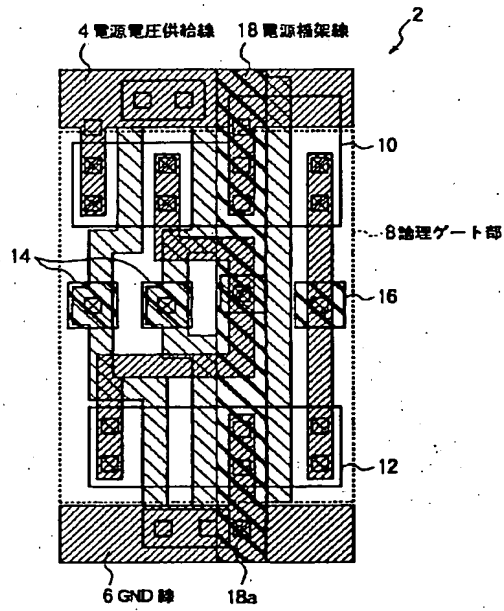
【図8】従来の問題点を説明するためのブロックレイアウト図である。

【図9】従来の半導体スタンダードセルの一構成例を示すANDゲートのセル・パターン図である。

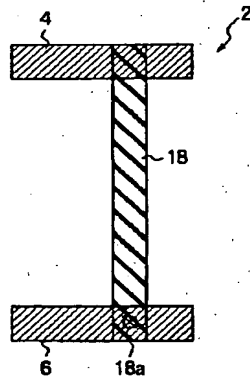
【符号の説明】

2、20、22、24…電源橋架線が論理ゲート部内を配線されている半導体スタンダードセル、4…電源電圧供給線（電源線）、6…GND線（電源線）、8…論理ゲート部、10…p型トランジスタ領域、12…n型トランジスタ領域、14…入力端子、16…出力端子、18…電源橋架線、18a、18b…コンタクト（接続箇所）、30、32…電源橋架線が電源線との接続箇所からセル外側に配線されている半導体スタンダードセル、A～I…論理ゲートの種類。

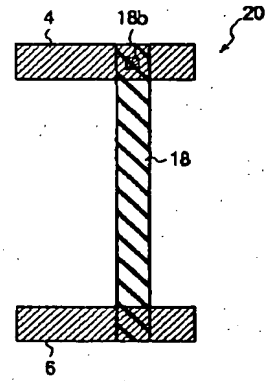
【図1】



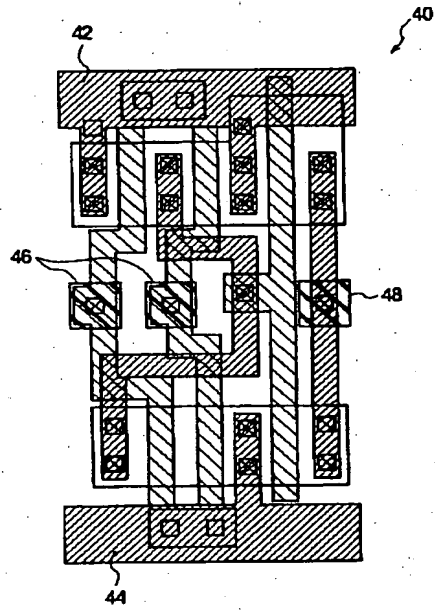
【図2】



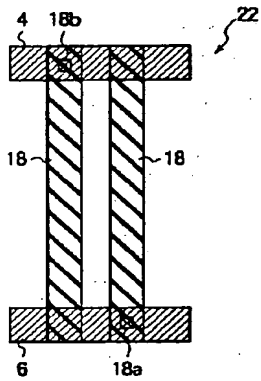
【図3】



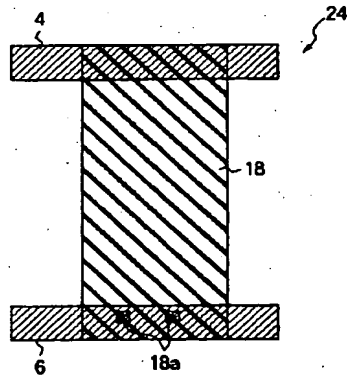
【図9】



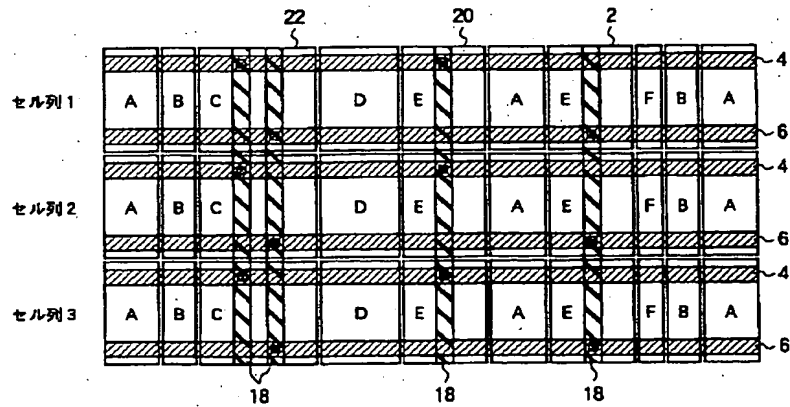
【図4】



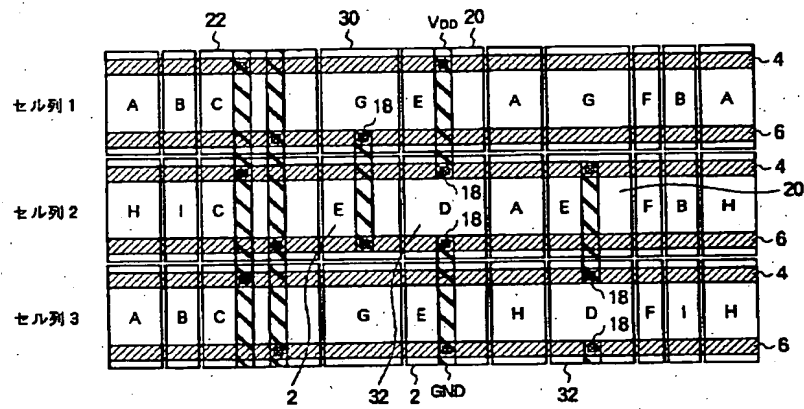
【図5】



【図6】



【図7】



【図8】

